

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

10718069

Basic Patent (No,Kind,Date): JP 4221854 A2 920812 <No. of Patents: 001>

**THIN FILM SEMICONDUCTOR DEVICE** (English)

Patent Assignee: FUJI XEROX CO LTD

Author (Inventor): FUSE MARIO; HIROTA MASANORI; HAMANO TOSHIHISA

IPC: \*H01L-029/784; H01L-021/314

CA Abstract No: 117(22)224657S

Derwent WPI Acc No: C 92-318898

JAPIO Reference No: 160570E000098

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
<b>JP 4221854</b>	A2	920812	JP 90412758	A	901221 (BASIC)

Priority Data (No,Kind,Date):

JP 90412758 A 901221

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

03856754      \*\*Image available\*\*

THIN FILM SEMICONDUCTOR DEVICE

PUB. NO.:      **04-221854** [JP 4221854 A]

PUBLISHED:      August 12, 1992 (19920812)

INVENTOR(s): FUSE MARIO

HIROTA MASANORI

HAMANO TOSHIHISA

APPLICANT(s): FUJI XEROX CO LTD [359761] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.:      02-412758 [JP 90412758]

FILED:          December 21, 1990 (19901221)

INTL CLASS:    [5] H01L-029/784; H01L-021/314

JAPIO CLASS:   42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R096 (ELECTRONIC MATERIALS

-- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL:        Section: E, Section No. 1297, Vol. 16, No. 570, Pg. 98,  
December 10, 1992 (19921210)

#### ABSTRACT

**PURPOSE:** To lower a threshold voltage by forming a gate insulating film with a laminated material of a thin film silicon nitride compound and silicon oxide compound laminated adjacent to a silicon semiconductor layer.

**CONSTITUTION:** A silicon nitride compound 22 is formed adjacent to a polysilicon semiconductor layer 3, while a silicon oxide compound 21 not adjacent thereto. The silicon dangling bond at the surface of silicon semiconductor layer 3 is saturated by hydrogen atoms of the silicon nitride compound 22 adjacent to the polysilicon semiconductor layer 3. Thereby a threshold voltage is lowered and an interface level between silicon nitride compound 22 can be lowered.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-221854

(43) 公開日 平成4年(1992)8月12日

(51) Int.Cl. <sup>3</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
21/314	M	8518-4M		
		9056-4M	H 0 1 L 29/ 78	3 1 1 G

審査請求 未請求 請求項の数1(全10頁)

(21) 出願番号 特願平2-412758

(22) 出願日 平成2年(1990)12月21日

(71) 出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂三丁目3番5号

(72) 発明者 布施 マリオ

神奈川県海老名市本郷2274番地 富士ゼロ

ックス株式会社海老名事業所内

(72) 発明者 広田 匡紀

神奈川県海老名市本郷2274番地 富士ゼロ

ックス株式会社海老名事業所内

(72) 発明者 浜野 利久

神奈川県海老名市本郷2274番地 富士ゼロ

ックス株式会社海老名事業所内

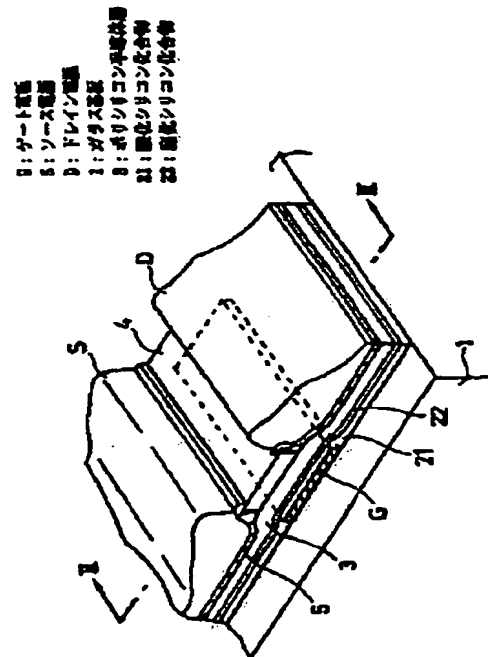
(74) 代理人 弁理士 中村 智廣 (外2名)

(54) 【発明の名称】 薄膜半導体装置

(57) 【要約】

【目的】 薄膜半導体装置のしきい値電圧を低減させ、しかも、このしきい値電圧を経時的に変化し難くする。

【構成】 ポリシリコン半導体層(3)とゲート電極(G)の間に、薄膜の窒化シリコン化合物(22)の積層体と酸化シリコン化合物(21)の積層体とで構成されるゲート絶縁膜を形成する。



## 【特許請求の範囲】

【請求項1】 絶縁性基板と、この基板に設けられ活性層を構成する薄膜のシリコン半導体層と、このシリコン半導体層に接続されたソース・ドレイン電極と、ゲート絶縁膜を介し上記シリコン半導体層に対向して配設されたゲート電極とを備える薄膜半導体装置において、上記ゲート絶縁膜が、シリコン半導体層に隣接して積層された薄膜の窒化シリコン化合物と、この窒化シリコン化合物に隣接して積層された酸化シリコン化合物との積層体により構成されていることを特徴とする薄膜半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、エレクトロルミネッセンスディスプレイ、液晶ディスプレイ等各種装置の駆動用等に利用されている薄膜半導体装置に係り、特に、そのしきい値電圧の低減が図れ、しかも、このしきい値電圧が経時的に変化し難い薄膜半導体装置の改良に関するものである。

## 【0002】

【従来の技術】 この種の薄膜半導体装置としては、図29～図30に示すようにガラス基板(a)と、このガラス基板(a)上に設けられたゲート電極(G)と、このゲート電極(G)を被覆するゲート絶縁膜(b)と、このゲート絶縁膜(b)上に設けられ活性層として作用する薄膜のシリコン半導体層(c)と、このシリコン半導体層(c)の両端部に接続されたソース電極(S)・ドレイン電極(D)とでその主要部を構成する『逆スタガー型』と称するMOS型の薄膜トランジスタや、図31～図32に示すようにガラス基板(a)と、このガラス基板(a)上に設けられた薄膜のシリコン半導体層(c)と、このシリコン半導体層(c)の両端部に接続されたソース電極(S)・ドレイン電極(D)と、ゲート絶縁膜(b)を介しシリコン半導体層(c)上に設けられたゲート電極(G)とでその主要部を構成する『スタガー型』と称するMOS型の薄膜トランジスタが知られている。

【0003】 そして、これ等MOS型の薄膜トランジスタにおいては、上記ソース電極(S)・ドレイン電極(D)間にドレイン電圧( $V_D$ )を印加し、かつ、ゲート電極(G)に所定のゲート電圧( $V_G$ )を印加することでシリコン半導体層(c)にチャンネルが形成され、トランジスタはON状態となってドレイン電流( $I_D$ )が流れる一方、ゲート電圧( $V_G$ )を下げて『しきい値電圧 $V_{th}$ 』以下にすると上記シリコン半導体層(c)にチャンネルが形成されなくなり、トランジスタはOFF状態となって上記ドレイン電流( $I_D$ )が流れなくなるもので、上述した各種装置の駆動用等に利用されているものである。

【0004】 ところで、この種の薄膜半導体装置におい

て上記シリコン半導体層(c)に隣接して設けられるゲート絶縁膜(b)は、従来、基板に成膜されたシリコン層の熱酸化処理にて形成された $SiO_2$ 膜により構成されていた。

【0005】 しかし、この熱酸化法により $SiO_2$ 膜のゲート絶縁膜を形成する場合、絶縁性基板が1000℃程度の高温に晒されることから耐熱性に劣る安価なガラス基板等に適用できない欠点があるため、この熱酸化法による $SiO_2$ 膜に替わって、近年、減圧CVD法やプラズマCVD法等高温条件を要さない着膜法にて成膜された酸化シリコン化合物のゲート絶縁膜や窒化シリコン化合物のゲート絶縁膜等が利用されている。

【0006】 すなわち、上記酸化シリコン化合物によるゲート絶縁膜は、例えば、 $SiH_4$  (シラン) ガスと $O_2$  (酸素) ガスと、更に、両ガスの爆発的反応を抑制するために加えられた $N_2$  (窒素) ガスより成る混合ガスを用いた減圧CVD法、常圧CVD法等により成膜された電気絶縁性の皮膜でその化学的構造が $SiO_xN_y$ の構造式で示されるものであり、他方の窒化シリコン化合物によるゲート絶縁膜は、例えば、 $SiH_4$  (シラン) ガスと $NH_3$  (アンモニア) ガスより成る混合ガスを用いたプラズマCVD法により成膜された電気絶縁性の皮膜で、その化学的構造が $SiN_xH_y$ の構造式で示されるものであった。

## 【0007】

【発明が解決しようとする課題】 そして、これ等化合物によりゲート絶縁膜を構成した場合、成膜時における熱的条件が緩和されてガラス基板等の安価な絶縁性基板が適用できる利点を有しているが、その反面、ゲート絶縁膜を上記酸化シリコン化合物( $SiO_xN_y$ )で構成した場合、求められた薄膜半導体装置におけるしきい値電圧 $V_{th}$ が高くなる問題点があり、かつ、シリコン半導体層と上記酸化シリコン化合物皮膜間の『界面準位』が多いため経時的に上記しきい値電圧が変化し易い問題点があった。

【0008】 一方、上記窒化シリコン化合物( $SiN_xH_y$ )でゲート絶縁膜を構成した場合、シリコン半導体層とこの窒化シリコン化合物皮膜間の『界面準位』が少ない利点はあるものの窒化シリコン化合物皮膜中の『トラップ準位』が多いため、上記酸化シリコン化合物皮膜と同様にしきい値電圧 $V_{th}$ が経時的に変化し易い問題点があった。

## 【0009】

【課題を解決するための手段】 本発明は以上の問題点に答目してなされたもので、その課題とするところは、そのしきい値電圧の低減が図れ、しかも、このしきい値電圧が経時的に変化し難い薄膜半導体装置を提供することにある。

【0010】 すなわち本発明は、絶縁性基板と、この基板に設けられ活性層を構成する薄膜のシリコン半導体層

と、このシリコン半導体層に接続されたソース・ドレイン電極と、ゲート絶縁膜を介し上記シリコン半導体層に対向して配設されたゲート電極とを備える薄膜半導体装置を前提とし、上記ゲート絶縁膜が、シリコン半導体層に隣接して積層された薄膜の窒化シリコン化合物と、この窒化シリコン化合物に隣接して積層された酸化シリコン化合物との積層体により構成されていることを特徴とするものである。

【0011】このような技術的手段において、上記シリコン半導体層に隣接して設けられ、かつ、 $\text{SiN}_x\text{H}_y$ の構造式で示される窒化シリコン化合物の成膜手段としては、従来同様、プラズマCVD（ケミカル・ベイパー・デポジション：化学的気相成長）法や光CVD法等が適用できる。

【0012】また、窒化シリコン化合物を構成する混合ガスとしては、 $\text{SiH}_4$ （シラン）ガスと $\text{NH}_3$ （アンモニア）ガスより成る混合ガスが適用できる他、この混合ガスに $\text{N}_2$ （窒素）ガスを加えたものでもよく、上記シランガスに替え $\text{Si}_2\text{H}_6$ （ジシラン）ガスの適用も可能である。

【0013】また、上述したようにこの窒化シリコン化合物（ $\text{SiN}_x\text{H}_y$ ）はそのバルク中に『トラップ準位』が多いため、その膜厚は可能な限り、例えば、50Å～200Å程度の薄膜に設定することが望ましい。

【0014】尚、窒化シリコン化合物は水素原子を含んでいるため、この窒化シリコン化合物の皮膜がシリコン半導体層に隣接して積層された際、上記水素原子がシリコン半導体層表面のシリコン・ダングリングボンド（切れた結合の手）をターミネート（飽和）し、シリコン半導体層と窒化シリコン化合物皮膜間の『界面準位』の低減を図ることができる。

【0015】一方、窒化シリコン化合物に隣接して積層され、かつ、 $\text{SiO}_2\text{N}_x$ 又は $\text{SiO}_x$ の構造式で示される酸化シリコン化合物の成膜手段としては、窒化シリコン化合物の成膜と同様にプラズマCVD法や光CVD法が適用できる他、減圧CVD法や常圧CVD法、及び、上記CVD法以外のスパッタリング法等任意の成膜法が適用できる。尚、窒化シリコン化合物と酸化シリコン化合物の成膜手段として、両者共にプラズマCVD法や光CVD法を適用した場合、真空条件を破らずに両皮膜の連続着膜が可能となるため成膜工程の効率向上が図れる利点を有している。

【0016】また、酸化シリコン化合物を構成する混合ガスとしては、従来同様、 $\text{SiH}_4$ （シラン）ガスと $\text{O}_2$ （酸素）ガスと、更に、両ガスの爆発的反応を抑制するために加えられた $\text{N}_2$ （窒素）ガスより成る混合ガスが適用できる他、上記酸素ガスに替えて二酸化炭素（ $\text{CO}_2$ ）ガスや $\text{N}_2\text{O}$ ガスの適用が、また、上記シランガスに替えて $\text{SiCl}_4$ （塩化シリコン）ガスや $\text{Si}_2\text{H}_8$ （ジシラン）ガスの適用も可能である。また、 $\text{SiO}$

$\text{C}_2\text{H}_6$ ）等の有機オキシシランガス単体の適用も可能である。尚、酸化シリコン化合物の膜厚は、上記窒化シリコン化合物の膜厚をも考慮して500Å～2000Å程度に設定するとよい。

【0017】また、上記酸化シリコン化合物はそのバルク中に『トラップ準位』が少ないため、この酸化シリコン化合物とシリコン半導体層に隣接された薄膜の窒化シリコン化合物との積層体にてゲート絶縁膜を構成することにより、上記しきい値電圧 $V_{th}$ の経時的変化が防止できる効果がある。

【0018】また、この技術的手段において上記絶縁性基板としては、従来と同様にガラス板や石英板等が利用でき、一方、活性層を構成するシリコン半導体としては、イントリンシックアモルファスシリコン、3価又は5価のイオンが導入されたアモルファスシリコン、あるいは、ポリシリコン等が利用できる。

【0019】

【作用】上述したような技術的手段によれば、ゲート絶縁膜が、シリコン半導体層に隣接して積層された薄膜の窒化シリコン化合物と、この窒化シリコン化合物に隣接して積層された酸化シリコン化合物との積層体により構成されており、上記シリコン半導体層に窒化シリコン化合物が隣接し酸化シリコン化合物が直接隣接していないことから『しきい値電圧 $V_{th}$ 』が低くなり、かつ、シリコン半導体層に隣接する窒化シリコン化合物の水素原子によりこのシリコン半導体層表面のシリコン・ダングリングボンドがターミネート（飽和）されるためシリコン半導体層とゲート絶縁膜の一部を構成する窒化シリコン化合物間の『界面準位』の低減を図ることが可能となる一方、そのバルク中に『トラップ準位』が多い窒化シリコン化合物は薄膜に形成されており、かつ、この窒化シリコン化合物に隣接して積層された酸化シリコン化合物には『トラップ準位』が少ないため、これ等薄膜の窒化シリコン化合物と酸化シリコン化合物との積層体で構成されたゲート絶縁膜における『トラップ準位』の低減を図ることが可能となる。

【0020】

【実施例】以下、本発明の実施例について図面を参照して詳細に説明する。

【0021】◎第一実施例

この実施例は本発明を『逆スタガー型』のMOSトランジスタに適用したものである。

【0022】すなわち、この薄膜のMOSトランジスタは、図1～図2に示すようにガラス基板（1）と、このガラス基板（1）上に設けられTa、W、Mo等の高融点金属にて形成された厚さ1000Åのゲート電極（G）と、このゲート電極（G）を被覆しゲート絶縁膜の一方を構成する厚さ1000Åの酸化シリコン化合物（ $\text{SiO}_2\text{N}_x$ ）（21）と、この酸化シリコン化合物（21）上に隣接して設けられゲート絶縁膜のもう一方

を構成する厚さ50Åの窒化シリコン化合物(SiN<sub>x</sub>H<sub>y</sub>) (22)と、この窒化シリコン化合物(22)上に積層された厚さ2000Åのポリシリコン半導体層(3)と、このポリシリコン半導体層(3)上のゲート電極(G)に対応する部位に設けられ厚さ3000ÅのSiO<sub>2</sub>にて形成された保護層(4)と、上記ポリシリコン半導体層(3)の両端側に設けられ厚さ100ÅのN<sup>+</sup>微結晶シリコンにて形成されたオーミック接触形成層(5)と、このオーミック接触形成層(5)を介し上記ポリシリコン半導体層(3)に接続され厚さ8000ÅのAlにて形成されたソース電極(S)・ドレイン電極(D)とでその主要部が構成されているものである。

【0023】そして、このMOSトランジスタにおいては、ポリシリコン半導体層(3)に窒化シリコン化合物(22)が隣接し酸化シリコン化合物(21)が直接隣接してないことから『しきい値電圧V<sub>th</sub>』が低くなり、かつ、ポリシリコン半導体層(3)に隣接する窒化シリコン化合物(22)の水素原子によりシリコン半導体層(3)表面のシリコン・ダングリングボンドが飽和されるためシリコン半導体層(3)とゲート絶縁膜の一部を構成する窒化シリコン化合物(22)間の『界面準位』の低減を図ることが可能となる一方、そのバルク中に『トラップ準位』が多い窒化シリコン化合物(22)は薄膜(50Å)に形成されており、かつ、この窒化シリコン化合物(22)に隣接して積層された酸化シリコン化合物(21)には『トラップ準位』が少ないため、これ等薄膜の窒化シリコン化合物(22)と酸化シリコン化合物(21)との積層体で構成されたゲート絶縁膜における『トラップ準位』の低減を図ることが可能となる。

【0024】従って、この実施例に係るMOSトランジスタにおいてはそのしきい値電圧V<sub>th</sub>の低減が図れ、かつ、そのしきい値電圧V<sub>th</sub>が経時的に変化し難くなる利点を有している。

【0025】尚、図3はこの実施例に係るMOSトランジスタのゲート電圧V<sub>g</sub>とドレイン電流I<sub>d</sub>の対数との関係を実線で示したグラフ図であり、また、併せて上記ゲート絶縁膜を減圧CVD法による酸化シリコン化合物の単体で構成した従来のMOSトランジスタ(比較例)のゲート電圧V<sub>g</sub>とドレイン電流I<sub>d</sub>の対数との関係を破線で示している。

【0026】そして、このグラフ図から明らかなように実施例に係るMOSトランジスタにおいては、破線で示された比較例に較べてそのしきい値電圧V<sub>th</sub>の低減が図れ、かつ、しきい値V<sub>th</sub>以下の領域での立ち上がり改善されてそのトランジスタとしての応答性が向上していることが理解できる。

【0027】「MOSトランジスタの製造工程」以下、この実施例に係るMOSトランジスタの製造工程を図面を参照して詳細に説明する。

【0028】まず、図4に示すように、ガラス基板(1)上にTa、W、Mo等の高融点金属にて構成された厚さ1000Åのゲート電極(G)を形成し、かつこの面上にSiH<sub>4</sub>+N<sub>2</sub>Oの混合ガスを用いたプラズマCVD法により厚さ1000Åの酸化シリコン化合物(SiO<sub>2</sub>N<sub>x</sub>) (21)を成膜し、更に、真空を破らずにSiH<sub>4</sub>+NH<sub>3</sub>(アンモニア)の混合ガスを用いたプラズマCVD法により厚さ50Åの窒化シリコン化合物(SiN<sub>x</sub>H<sub>y</sub>) (22)を成膜した後、引き続きSiH<sub>4</sub>ガスをを用いたプラズマCVD法により厚さ2000Åのアモルファスシリコン(3')を成膜する(図5参照)。

【0029】次に、図6に示すように上記アモルファスシリコン(3')を真空中でXeClエキシマレーザによりレーザアニール処理を施してポリシリコン半導体層(3)にした後、この面上にプラズマCVD法により厚さ3000Åのプラズマオキサイド膜(SiO<sub>2</sub>) (4')を成膜し(図7参照)、更にこの面上にポジ型のレジスト層(r)を成膜した(図8参照)。

【0030】そして、図9に示すように上記ガラス基板(1)側から光照射して露光部位のレジスト層(r)を現像剤により溶解可能な性質に変化させた後、現像剤で露光部位のレジスト層(r)を除去する(図10参照)一方、露出されたプラズマオキサイド膜(4')をHF系のエッチング材料にて溶解除去し、図11に示すような保護層(4)を形成する。

【0031】次いで、この面上にプラズマCVD法により厚さ100ÅのN<sup>+</sup>微結晶シリコンを成膜してオーミック接触形成層(5)を形成し、更に、この面上に8000Åのアルミニウム(Al)膜(6)を成膜した後(図12参照)、このアルミニウム膜(6)をパターニング処理して図13に示すようなソース電極(S)・ドレイン電極(D)を形成し、かつ、これ等電極から露出するオーミック接触形成層(5)の一部ををドライエッチングにより除去して図14に示すようなMOSトランジスタを求めた。

#### 【0032】◎第二実施例

この実施例は、本発明を『プレーナ型』のMOSトランジスタに適用したものである。

【0033】すなわち、この薄膜のMOSトランジスタは、図15に示すようにガラス基板(1)と、このガラス基板(1)上に設けられたポリシリコン半導体層(3)と、このポリシリコン半導体層(3)に隣接して成膜されゲート絶縁膜の一方を構成する厚さ50Åの窒化シリコン化合物(SiN<sub>x</sub>H<sub>y</sub>) (22)と、この窒化シリコン化合物(22)上に成膜されゲート絶縁膜のもう一方を構成する厚さ1000Åの酸化シリコン化合物(SiO<sub>2</sub>N<sub>x</sub>) (21)と、これ等窒化シリコン化合物(22)と酸化シリコン化合物(21)とで構成されたゲート絶縁膜上に設けられTa、W、Mo等の高融点金属にて形成された厚さ1000Åのゲート電極(G)

と、上記ポリシリコン半導体層(3)の両端部に設けられたソース電極(S)・ドレイン電極(D)と、上記ゲート絶縁膜に設けられたコンタクトホール(7)を介してソース電極(S)・ドレイン電極(D)に接続されたA1の配線部(8)とでその主要部が構成されているものである。

【0034】そして、この『プレーナ型』MOSトランジスタにおいても、ポリシリコン半導体層(3)に窒化シリコン化合物(22)が隣接し酸化シリコン化合物(21)が直接隣接していないことから『しきい値電圧 $V_{th}$ 』が低くなり、かつ、ポリシリコン半導体層(3)に隣接する窒化シリコン化合物(22)の水素原子によりシリコン半導体層(3)表面のシリコン・ダングリングボンドが飽和されるためシリコン半導体層(3)とゲート絶縁膜の一部を構成する窒化シリコン化合物(22)間の『界面準位』の低減を図ることが可能となる一方、そのバルク中に『トラップ準位』が多い窒化シリコン化合物(22)は薄膜(50Å)に形成されており、かつ、この窒化シリコン化合物(22)に隣接して積層された酸化シリコン化合物(21)には『トラップ準位』が少ないため、これ等薄膜の窒化シリコン化合物(22)と酸化シリコン化合物(21)との積層体で構成されたゲート絶縁膜における『トラップ準位』の低減を図ることが可能となる。

【0035】従って、この実施例に係る『プレーナ型』MOSトランジスタにおいてもそのしきい値電圧 $V_{th}$ の低減が図れ、かつ、そのしきい値電圧 $V_{th}$ が経時的に変化し難くなる利点を有している。

【0036】「MOSトランジスタの製造工程」以下、第二実施例に係るMOSトランジスタの製造工程を図面を参照して詳細に説明する。

【0037】まず、図16に示すように、ガラス基板(1)上にポリシリコン半導体層(3)を形成し、更にプラズマCVD法により厚さ50Åの窒化シリコン化合物(22)と厚さ1000Åの酸化シリコン化合物(21)とを連続的に成膜した後(図17参照)、図18に示すようにTa、W、Mo等厚さ3000Åの高融点金属膜(G')をスパッタリング法にて着膜し、かつ、この上面にレジスト層(r)をパターン状に形成する。

【0038】次に、上記レジスト層(r)から露出する高融点金属膜(G')をエッチング法により除去して図19に示すようなゲート電極(G)を形成し、かつ、図20に示すようにこの面上から酸化シリコン化合物(21)と窒化シリコン化合物(22)とを介しイオン注入法にてポリシリコン半導体層(3)の両端部位に $2 \times 10^{15}$  ions/cm<sup>2</sup>のp<sup>+</sup>イオンを注入してソース電極(S)・ドレイン電極(D)を形成した後、図21に示すようにXeClエキシマレーザによりレーザアニール処理を施してドーパントの活性化を行った。

【0039】そして、上記酸化シリコン化合物(21)

と窒化シリコン化合物(22)とで構成されるゲート絶縁膜にコンタクトホール(7)を開設し、このコンタクトホール(7)を介し上記ソース電極(S)・ドレイン電極(D)に接続されたアルミニウムの配線部(8)を形成して図22に示すようなMOSトランジスタを求めた。

【0040】◎第三実施例

この実施例は、本発明を『スタガー型』のMOSトランジスタに適用したものである。

【0041】すなわち、図23に示すようにガラス基板(1)上にスパッタリング法(スパッタ条件はパワー…1.0kW、圧力…8mTorr、ガラス基板温度…150℃であった)により1000Åのタンタル層(91)を着膜し、かつ、この面上に減圧CVD法(ガラス基板温度…600℃、圧力…0.3Torr、ガス流量…SiH<sub>4</sub>:PH<sub>3</sub>:H<sub>2</sub>=100:1:100SCCM)によりリンがドーブされた厚さ1000Åのポリシリコン層(92)を成膜した後、これをパターニング処理して図24に示すようなソース電極(S)・ドレイン電極(D)を形成した。

【0042】次に、図25に示すように減圧CVD法(ガラス基板温度…550℃、圧力…0.3Torr、ガス流量…SiH<sub>4</sub>=100SCCM)によりアモルファスシリコン(3')を成膜し、かつ窒素雰囲気中で600℃、12時間のアニール処理を施してポリシリコン半導体層(3)にした後、図26に示すようにプラズマCVD法(ガス流量…SiH<sub>4</sub>:NH<sub>3</sub>=20:230SCCM、パワー…100W、圧力…0.2Torr、ガラス基板温度…350℃)により薄膜の窒化シリコン化合物(Si<sub>3</sub>N<sub>4</sub>H<sub>2</sub>) (22)を成膜した。

【0043】次いで、真空を破らずにガスのみをH<sub>2</sub>に切替えて水素プラズマをたて、上記ポリシリコン半導体層(3)のグレインバンダリーの水素化を行った後、図27に示すように同一真空中でプラズマCVD法(パワー…200W、ガラス基板温度…350℃、ガス流量…SiH<sub>4</sub>:N<sub>2</sub>O=25:250SCCM)により酸化シリコン化合物(SiO<sub>2</sub>N<sub>2</sub>) (21)を成膜し、この酸化シリコン化合物(21)と窒化シリコン化合物(22)とで構成されたゲート絶縁膜を形成した。

【0044】最後に、図28に示すように上記ゲート絶縁膜上に厚さ8000Åのアルミニウムにより構成されたゲート電極(G)を形成し『スタガー型』MOSトランジスタを求めた。

【0045】そして、この『スタガー型』MOSトランジスタにおいても、ポリシリコン半導体層(3)に窒化シリコン化合物(22)が隣接し酸化シリコン化合物(21)が直接隣接していないことから『しきい値電圧 $V_{th}$ 』が低くなり、かつ、ポリシリコン半導体層(3)に隣接する窒化シリコン化合物(22)の水素原子によりシリコン半導体層(3)表面のシリコン・ダングリング

ボンドが飽和されるためシリコン半導体層(3)とゲート絶縁膜の一部を構成する窒化シリコン化合物(22)間の『界面準位』の低減を図ることが可能となる一方、そのバルク中に『トラップ準位』が多い窒化シリコン化合物(22)は薄膜に形成されており、かつ、この窒化シリコン化合物(22)に隣接して積層された酸化シリコン化合物(21)には『トラップ準位』が少ないため、これ等薄膜の窒化シリコン化合物(22)と酸化シリコン化合物(21)との積層体で構成されたゲート絶縁膜における『トラップ準位』の低減を図ることが可能となる。

【0046】従って、この実施例に係る『スタガー型』MOSトランジスタにおいてもそのしきい値電圧 $V_{th}$ の低減が図れ、かつ、そのしきい値電圧 $V_{th}$ が経時的に変化し難くなる利点を有している。

【0047】

【発明の効果】本発明によれば、シリコン半導体層に窒化シリコン化合物が隣接し酸化シリコン化合物が直接隣接してないことから『しきい値電圧 $V_{th}$ 』が低くなり、かつ、シリコン半導体層に隣接する窒化シリコン化合物の水素原子によりこのシリコン半導体層表面のシリコン・ダングリングボンドがターミネート(飽和)されるためシリコン半導体層とゲート絶縁膜の一部を構成する窒化シリコン化合物間の『界面準位』の低減を図ることが可能となる一方、そのバルク中に『トラップ準位』が多い窒化シリコン化合物は薄膜に形成されており、かつ、この窒化シリコン化合物に隣接して積層された酸化シリコン化合物には『トラップ準位』が少ないため、これ等薄膜の窒化シリコン化合物と酸化シリコン化合物との積層体で構成されたゲート絶縁膜における『トラップ準位』の低減を図ることが可能となる。従って、薄膜半導体装置におけるしきい値電圧を低減でき、かつ、そのしきい値電圧が経時的に変化し難くなる効果を有している。

【図面の簡単な説明】

【図1】第一実施例に係る『逆スタガー型』MOSトランジスタの概略斜視図である。

【図2】図1のII-II面断面図である。

【図3】このMOSトランジスタのゲート電圧 $V_g$ とドレイン電流 $I_d$ の対数との関係を示したグラフ図である。

【図4】第一実施例に係る『逆スタガー型』MOSトランジスタの製造工程の第1段目を示す工程説明図である。

【図5】第一実施例に係る『逆スタガー型』MOSトランジスタの製造工程の第2段目を示す工程説明図である。

【図6】第一実施例に係る『逆スタガー型』MOSトランジスタの製造工程の第3段目を示す工程説明図である。

(6)

特開平4-221854

10

(6)

【図7】第一実施例に係る『逆スタガー型』MOSトランジスタの製造工程の第4段目を示す工程説明図である。

【図8】第一実施例に係る『逆スタガー型』MOSトランジスタの製造工程の第5段目を示す工程説明図である。

【図9】第一実施例に係る『逆スタガー型』MOSトランジスタの製造工程の第6段目を示す工程説明図である。

10 【図10】第一実施例に係る『逆スタガー型』MOSトランジスタの製造工程の第7段目を示す工程説明図である。

【図11】第一実施例に係る『逆スタガー型』MOSトランジスタの製造工程の第8段目を示す工程説明図である。

【図12】第一実施例に係る『逆スタガー型』MOSトランジスタの製造工程の第9段目を示す工程説明図である。

20 【図13】第一実施例に係る『逆スタガー型』MOSトランジスタの製造工程の第10段目を示す工程説明図である。

【図14】第一実施例に係るMOSトランジスタの製造工程の第11段目を示す工程説明図である。

【図15】第二実施例に係る『プレーナ型』MOSトランジスタの断面図である。

【図16】第二実施例に係る『プレーナ型』MOSトランジスタの製造工程の第1段目を示す工程説明図である。

30 【図17】第二実施例に係る『プレーナ型』MOSトランジスタの製造工程の第2段目を示す工程説明図である。

【図18】第二実施例に係る『プレーナ型』MOSトランジスタの製造工程の第3段目を示す工程説明図である。

【図19】第二実施例に係る『プレーナ型』MOSトランジスタの製造工程の第4段目を示す工程説明図である。

40 【図20】第二実施例に係る『プレーナ型』MOSトランジスタの製造工程の第5段目を示す工程説明図である。

【図21】第二実施例に係る『プレーナ型』MOSトランジスタの製造工程の第6段目を示す工程説明図である。

【図22】第二実施例に係る『プレーナ型』MOSトランジスタの製造工程の第7段目を示す工程説明図である。

【図23】第三実施例に係る『スタガー型』MOSトランジスタの製造工程の第1段目を示す工程説明図である。

50 【図24】第三実施例に係る『スタガー型』MOSトラ



11

ンジスタの製造工程の第2段目を示す工程説明図である。

【図25】第三実施例に係る『スタガー型』MOSトランジスタの製造工程の第3段目を示す工程説明図である。

【図26】第三実施例に係る『スタガー型』MOSトランジスタの製造工程の第4段目を示す工程説明図である。

【図27】第三実施例に係る『スタガー型』MOSトランジスタの製造工程の第5段目を示す工程説明図である。

【図28】第三実施例に係る『スタガー型』MOSトランジスタの製造工程の第6段目を示す工程説明図である。

(7)

(7)

12

【図29】『逆スタガー型』と称するMOS型の薄膜トランジスタの概略斜視図である。

【図30】図29のIX-IX面断面図である。

【図31】従来の『スタガー型』と称するMOS型の薄膜トランジスタの概略斜視図である。

【図32】図31のXI-XI面断面図である。

【符号説明】

G ゲート電極

S ソース電極

D ドレイン電極

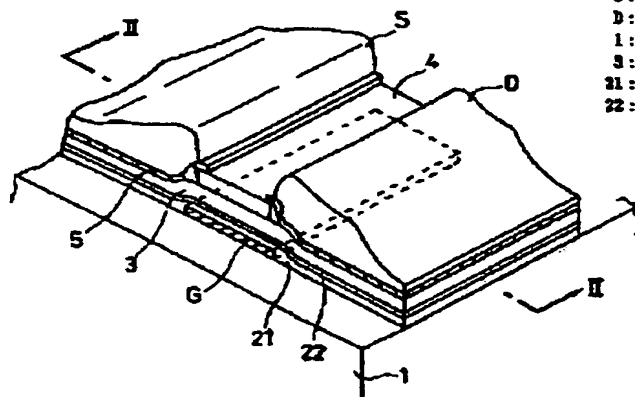
1 ガラス基板

3 ポリシリコン半導体層

21 酸化シリコン化合物

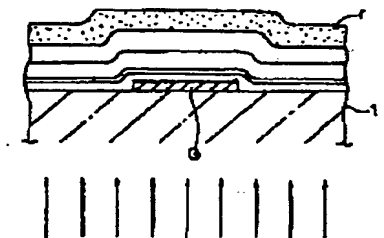
22 窒化シリコン化合物

【図1】

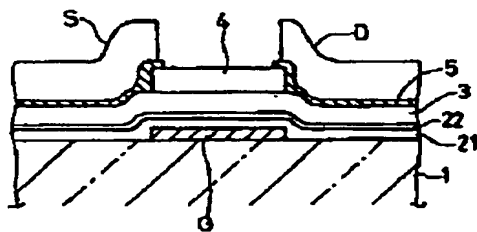


G: ゲート電極  
S: ソース電極  
D: ドレイン電極  
1: ガラス基板  
3: ポリシリコン半導体層  
21: 酸化シリコン化合物  
22: 窒化シリコン化合物

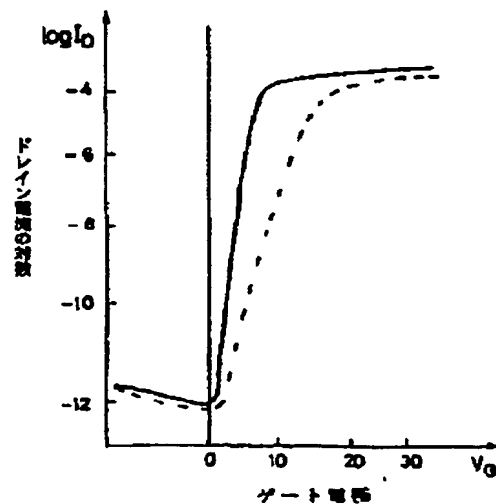
【図9】



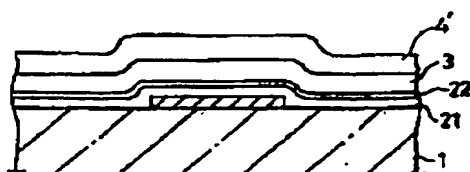
【図2】



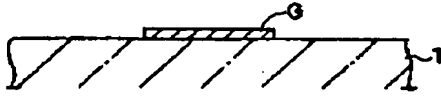
【図3】



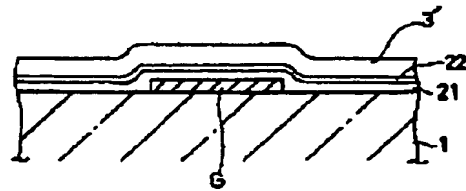
【図7】



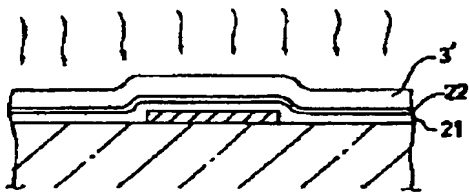
【図4】



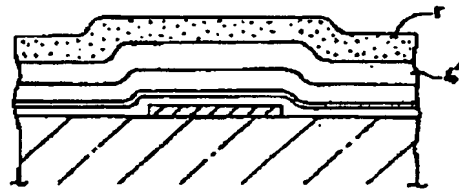
【図5】



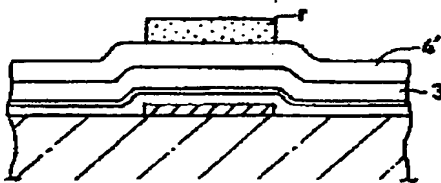
【図6】



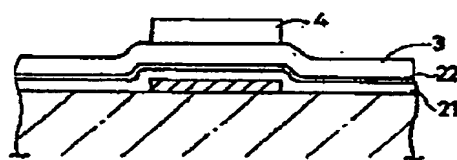
【図8】



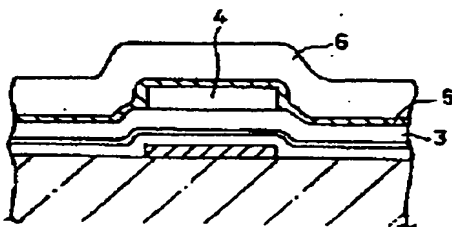
【図10】



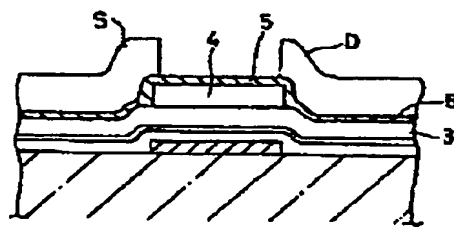
【図11】



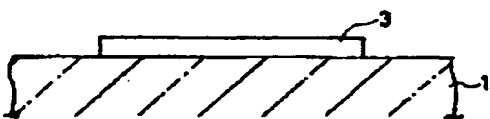
【図12】



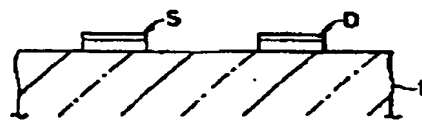
【図13】



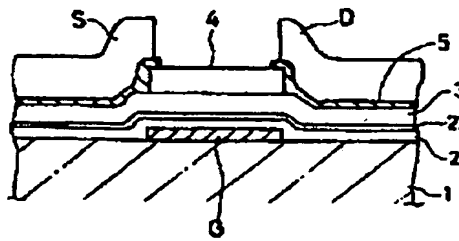
【図16】



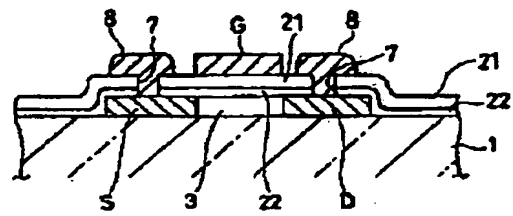
【図24】



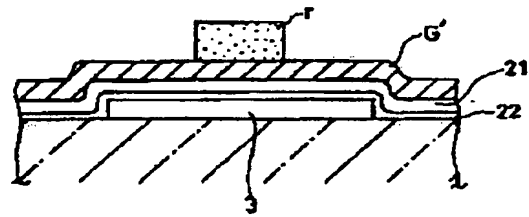
【図14】



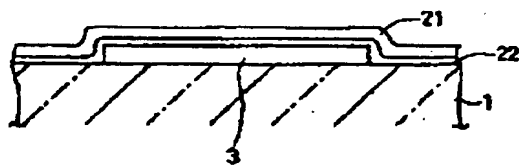
【図15】



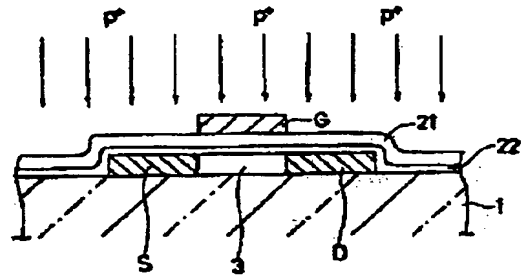
【図18】



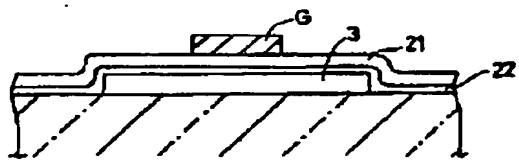
【図17】



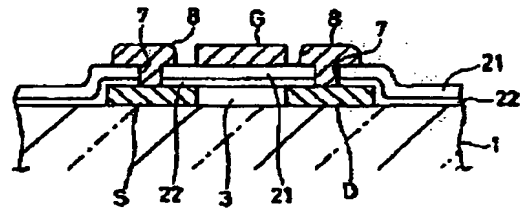
【図20】



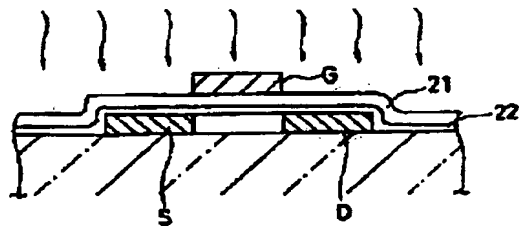
【図19】



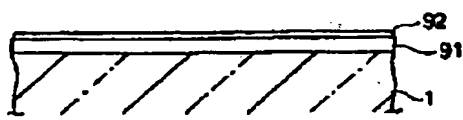
【図22】



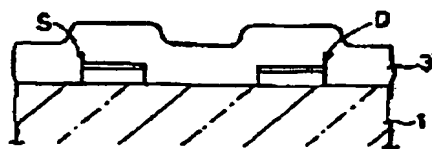
【図21】



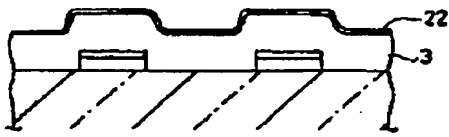
【図23】



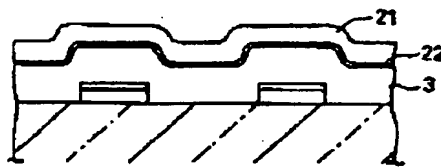
【図25】



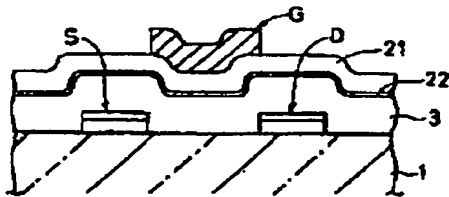
【図26】



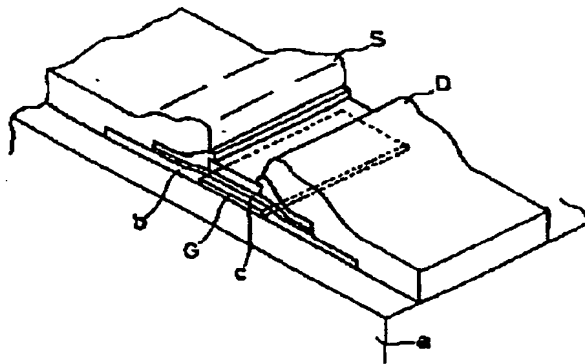
【図27】



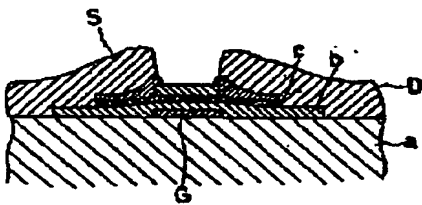
【図28】



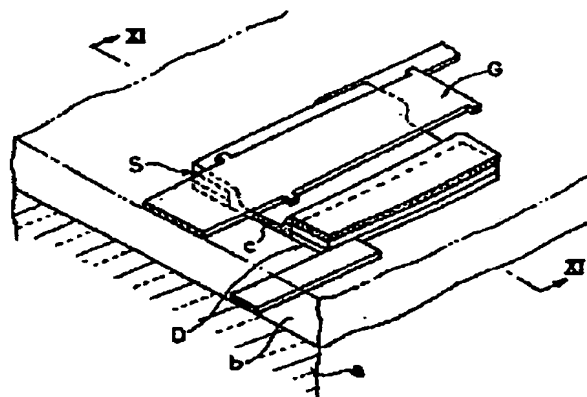
【図29】



【図30】



【図31】



【図32】

